

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 1 月 1 7 日
Date of Application:

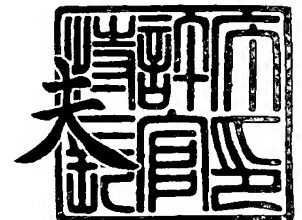
出 願 番 号 特 願 2 0 0 3 - 0 1 0 1 5 3
Application Number:
[ST. 10/C]: [J P 2 0 0 3 - 0 1 0 1 5 3]

出 願 人 セイコーエプソン株式会社
Applicant(s):

2 0 0 3 年 1 2 月 1 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



【書類名】 特許願

【整理番号】 EP-0400601

【提出日】 平成15年 1月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/10

【発明者】

【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

【氏名】 山村 光宏

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大淵 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 強誘電体記憶装置

【特許請求の範囲】

【請求項 1】 複数のブロック領域に分割されたメモリセルアレイ領域と、
第 1 の方向に沿って互いに平行に、前記メモリセルアレイ領域に配設された複数のワード線と、

前記第 1 の方向と交差する第 2 の方向に沿って互いに平行に、前記メモリセルアレイ領域に配設された複数のメインビット線と、

前記複数のブロック領域の各々にて、前記複数のメインビット線の各々について設けられた複数のサブビット線と、

前記複数のメインビット線の各々に従属する前記複数のサブビット線と前記ワードとの各交点に配置された複数の強誘電体メモリセルと、

前記複数のメインビット線の各々と、前記複数のサブビット線の各々の一端との間に設けられた複数の第 1 のサブビット線選択スイッチと、

前記複数のサブビット線に共通電位を供給する共通電位供給線と、

前記複数のサブビット線の各々の他端と、前記共通電位供給線との間に設けられた複数の第 2 のサブビット線選択スイッチと、

前記複数のブロック領域に対応して設けられた複数のブロック選択部と、
を有し、

前記複数のブロック選択部のうちの選択された一のブロック選択部は、対応するブロック領域の前記第 1 のサブビット線選択スイッチをオン、前記第 2 のサブビット線選択スイッチをオフさせ、非選択の他のブロック選択部は、対応するブロック領域の前記第 1 のサブビット線選択スイッチをオフ、前記第 2 のサブビット線選択スイッチをオンさせることを特徴とする強誘電体記憶装置。

【請求項 2】 請求項 1 において、

前記共通電位は、非選択のブロックに供給される非選択ワード線電位と実質的に同一であることを特徴とする強誘電体記憶装置。

【請求項 3】 請求項 1 または 2 において、

いずれのブロック領域も選択されないスタンバイ時に、全ブロック内の前記第 1 のサブビット線選択スイッチはオフされ、前記第 2 のサブビット線選択スイッチはオンされ、前記共通電位は、前記スタンバイ時のワード線電位と実質的に同一であることを特徴とする強誘電体記憶装置。

【請求項 4】 請求項 3 において、

前記ワード線、前記メインビット線及び前記共通電位供給線の電位は、電源投入後のスタンバイ時に、一定電位に設定されることを特徴とする強誘電体記憶装置。

【請求項 5】 複数のブロック領域に分割されたメモリセルアレイ領域と、

第 1 の方向に沿って互いに平行に、前記メモリセルアレイ領域に配設された複数のメインワード線と、

前記第 1 の方向と交差する第 2 の方向に沿って互いに平行に、前記メモリセルアレイ領域に配設された複数のビット線と、

前記複数のブロック領域の各々にて、前記複数のメインワード線の各々について設けられた複数のサブワード線と、

前記複数のメインワード線の各々に従属する前記複数のサブワード線と前記ビットとの各交点に配置された複数の強誘電体メモリセルと、

前記複数のメインワード線の各々と、前記複数のサブワード線の各々の一端との間に設けられた複数の第 1 のサブワード線選択スイッチと、

前記複数のサブワード線に共通電位を供給する共通電位供給線と、

前記複数のサブワード線の各々の他端と、前記共通電位供給線との間に設けられた複数の第 2 のサブワード線選択スイッチと、

前記複数のブロック領域に対応して設けられた複数のブロック選択部と、
を有し、

前記複数のブロック選択部のうちの選択された一のブロック選択部は、対応するブロック領域の前記第 1 のサブワード線選択スイッチをオン、前記第 2 のサブワード線選択スイッチをオフさせ、非選択の他のブロック選択部は、対応するブロック領域の前記第 1 のサブワード線選択スイッチをオフ、前記第 2 のサブワード線選択スイッチをオンさせることを特徴とする強誘電体記憶装置。

【請求項 6】 請求項 5 において、

前記共通電位は、非選択ブロックに供給される非選択ビット線電位と実質的に同一であることを特徴とする強誘電体記憶装置。

【請求項 7】 請求項 5 または 6 において、

いずれのブロック領域も選択されないスタンバイ時に、全ブロック内の前記第 1 のサブワード線選択スイッチはオフされ、前記第 2 のサブワード線選択スイッチはオンされ、前記共通電位は、前記スタンバイ時のビット線電位と実質的に同一であることを特徴とする強誘電体記憶装置。

【請求項 8】 請求項 7 において、

前記ビット線、前記メインワード線及び前記共通電位供給線の電位は、電源投入後のスタンバイ時に、一定電位に設定されることを特徴とする強誘電体記憶装置。

【請求項 9】 相交差する第 1 及び第 2 の方向で複数のブロック領域に分割されたメモリセルアレイ領域と、

前記第 1 の方向に沿って互いに平行に、前記メモリセルアレイ領域に配設された複数のメイン線と、

前記第 2 の方向に沿って互いに平行に、前記メモリセルアレイ領域に配設された複数のメインビット線と、

前記複数のブロック領域の各々にて、前記複数のメインワード線の各々について設けられた複数のサブワード線と、

前記複数のブロック領域の各々にて、前記複数のメインビット線の各々について設けられた複数のサブビット線と、

前記複数のメインワード線の各々に従属する前記複数のサブワード線と、前記メインビット線の各々に従属する前記複数のサブビット線との各交点に配置された複数の強誘電体メモリセルと、

前記複数のメインワード線の各々と、前記複数のサブワード線の各々の一端との間に設けられた複数の第 1 のサブワード線選択スイッチと、

前記複数のメインビット線の各々と、前記複数のサブビット線の各々の一端との間に設けられた複数の第 1 のサブビット線選択スイッチと、

前記複数のサブワード線に共通電位を供給する第1の共通電位供給線と、
前記複数のサブビット線に前記共通電位を供給する第2の共通電位供給線と、
前記複数のサブワード線の各々の他端と、前記第1の共通電位供給線との間に
設けられた複数の第2のサブワード線選択スイッチと、
前記複数のサブビット線の各々の他端と、前記第2の共通電位供給線との間に
設けられた複数の第2のサブビット線選択スイッチと、
前記第2の方向で分割された複数のブロック領域に対応して設けられた複数の
第1のブロック選択部と、
前記第1の方向で分割された複数のブロック領域の各々に対応して設けられた
複数の第2のブロック選択部と、
を有し、

前記複数の第1のブロック選択部のうちの選択された一のブロック選択部は、
対応するブロック領域の前記第1のサブワード線選択スイッチをオン、前記第2
のサブワード線選択スイッチをオフさせ、非選択の他のブロック選択部は、対応
するブロック領域の前記第1のサブワード線選択スイッチをオフ、前記第2のサ
ブワード線選択スイッチをオンさせ、

前記複数の第2のブロック選択部のうちの選択された一のブロック選択部は、
対応するブロック領域の前記第1のサブビット線選択スイッチをオン、前記第2
のサブビット線選択スイッチをオフさせ、非選択の他のブロック選択部は、対応
するブロック領域の前記第1のサブビット線選択スイッチをオフ、前記第2のサ
ブビット線選択スイッチをオンさせることを特徴とする強誘電体記憶装置。

【請求項10】 請求項9において、

いずれのブロック領域も選択されないスタンバイ時に、全ブロック内の前記第
1のサブビット線選択スイッチ及び前記第1のサブワード線選択スイッチはオフ
され、前記第2のサブビット線選択スイッチ及び前記第2のサブワード線選択ス
イッチはオンされることを特徴とする強誘電体記憶装置。

【請求項11】 請求項10において、

前記複数のメインワード線、前記複数のメインビット線及び前記第1、第2の
共通電位供給線の電位は、電源投入後のスタンバイ時に、一定電位に設定される

ことを特徴とする強誘電体記憶装置。

【請求項 12】 請求項 9 乃至 11 のいずれかにおいて、

前記第 1, 第 2 の共通電位供給線は、それぞれ異なるテスト端子に接続されていることを特徴とする強誘電体記憶装置。

【請求項 13】 請求項 4、8 乃至 11 のいずれかにおいて、

前記一定電位は、動作時の前記共通電位供給線の電位と等しいことを特徴とする強誘電体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、強誘電体記憶装置に関する。

【0002】

【背景技術】

強誘電体記憶装置として、各メモリセルにトランジスタおよびキャパシタ（強誘電体を一つずつ配置した 1T/1Cセル、あるいは、その各メモリセル毎にさらにリファレンスセルを配置した 2T/2Cセルを有するアクティブ型強誘電体メモリが知られている。

【0003】

しかし、このアクティブ型強誘電体記憶装置は、メモリセルが1個の素子から構成される他の不揮発性記憶装置として知られるフラッシュメモリ、EEPROMなどと比較して、メモリ面積が大きくなり、大容量化できない。

【0004】

各メモリセルを1個の強誘電体キャパシタとした強誘電体記憶装置が知られている（特許文献1）。特許文献1では、ビット線の階層化が開示され、つまり、1本のメインビット線に、複数の接続手段を介して従属する複数のサブビット線を設けている。複数の接続手段のうちの一の接続手段のみをオンさせることで、1本のメインビット線を、接続手段のオン駆動により選択された1本のサブビット線に接続することができる。この結果、他のサブビット線に接続された非選択メモリセルに電圧が印加されず、その非選択メモリセルに加わるディスターブ回

数を制限することができる。

【0005】

しかし、オフ駆動された接続手段に接続されたサブビット線はフローティングとなってしまう。このとき、外部からのノイズが加わると配線電位が変化し、それに接続された強誘電体キャパシタに記憶されたデータを破壊する方向に作用することがある。

【0006】

特許文献2には、上記と同様にサブビット線毎に分割された複数のブロックを有し、その各ブロック内をさらに複数の副ブロックに分割している。複数のブロックの中の選択されたブロック（選択ブロック）は、選択副ブロックと非選択副ブロックとに分けられる。そして、これらの選択ブロック内では、選択副ブロックはもちろんのこと、非選択副ブロックについても、サブビット線はフローティングとならない。

【0007】

しかし、選択されないブロック（非選択ブロック）内の全ての非選択副ブロックについては、サブビット線の電位がフローティングとなっている。

【0008】

【特許文献1】

特開平9-116107号公報

【特許文献2】

特開平7-235648号公報

【0009】

【発明が解決しようとする課題】

本発明の目的は、ビット線及び／又はワード線を階層化しながらも、非選択メモリセルに接続されたサブビット線及び／又はサブワード線をフローティング状態とさせずに、ノイズに強い強誘電体記憶装置を提供することにある。

【0010】

【課題を解決するための手段】

本発明の一態様に係る強誘電体記憶装置は、複数のブロック領域に分割された

メモリセルアレイ領域と、第1の方向に沿って互いに平行に、前記メモリセルアレイ領域に配設された複数のワード線と、前記第1の方向と交差する第2の方向に沿って互いに平行に、前記メモリセルアレイ領域に配設された複数のメインビット線と、前記複数のブロック領域の各々にて、前記複数のメインビット線の各々について設けられた複数のサブビット線と、前記複数のメインビット線の各々に従属する前記複数のサブビット線と前記ワードとの各交点に配置された複数の強誘電体メモリセルと、前記複数のメインビット線の各々と、前記複数のサブビット線の各々の一端との間に設けられた複数の第1のサブビット線選択スイッチと、前記複数のサブビット線に共通電位を供給する共通電位供給線と、

前記複数のサブビット線の各々の他端と、前記共通電位供給線との間に設けられた複数の第2のサブビット線選択スイッチと、前記複数のブロック領域に対応して設けられた複数のブロック選択部とを有する。そして、前記複数のブロック選択部のうちの選択された一のブロック選択部は、対応するブロック領域の前記第1のサブビット線選択スイッチをオン、前記第2のサブビット線選択スイッチをオフさせる。非選択の他のブロック選択部は、対応するブロック領域の前記第1のサブビット線選択スイッチをオフ、前記第2のサブビット線選択スイッチをオンさせる。

【0011】

このように、選択されたブロック内のサブビット線は、第1のサブビット線選択スイッチを介してメインビット線に接続され、選択されないブロック内のサブビット線は、第2のサブビット線選択スイッチを介して共通電位供給線に接続される。よって、選択・非選択ブロックの全サブビット線がフローティングとなることなく、ディスタートブノイズの影響を低減できる。

【0012】

本発明の他の態様に係る強誘電体記憶装置は、ビット線に代えてワード線を階層化したものである。上記と同様に、サブワード線の一端には第1のサブワード線選択スイッチを介してメインワード線が接続され、その他端には第2のサブワード線選択スイッチを介して共通電位供給線が接続される。そして、メモリアクセス時に、第1、第2のサブワード線選択スイッチを相補的にオンさせることで

、サブワード線をフローティングにすることがなくなる。よって、ディスタープノイズの影響を低減できる。

【0013】

本発明のさらに他の態様は、ビット線及びワード線の双方を階層化させたものである。この場合、選択されないブロックでは、サブビット線は第2のサブビット線選択スイッチを介して第1の共通電位供給線に、サブワード線は第2のサブワード線選択スイッチを介して第2の共通電位供給線に接続され、フローティングとならない。よって、非選択ブロック内の全メモリセルは、その両端に共通電位が印加されるので、両端電位差は0Vとなり、ディスタープノイズの影響を受けずに不揮発性状態を維持できる。

【0014】

本発明の各態様においては、共通電位は以下のように設定できる。サブビット線に供給される共通電位は、非選択ブロックに供給される非選択ワード電位と実質的に同一とすることができる。同様に、サブワード線に供給される共通電位は、非選択ブロックに供給される非選択ビット電位と実質的に同一とすることができる。こうすると、非選択ブロック内の全メモリセルへの印加電圧を0Vにできる。

【0015】

いずれのブロック領域も選択されないスタンバイ時には、全メモリセルのサブビット線及び／またはサブワード線に共通電位を供給するようにしても良い。この場合の共通電位は、スタンバイ時のビット線電位及び／またはワード線電位と実質的に同一とすることができる。こうすると、スタンバイ時に全メモリセルへの印加電圧を0Vにできる。さらに、これらの電位は、電源投入後のスタンバイ時に、動作時の前記共通電位供給線の電位と実質的に等しく設定することができる。こうすると、スタンバイ時から動作時に切り替わる際に、各配線の充放電電流を削減し、切り替わり時間を短縮できる。

【0016】

さらに、第1、第2の共通電位供給線を用いる態様においては、第1、第2の共通電位供給線を、それぞれ異なるテスト端子に接続することができる。こうす

ると、テスト時に、第1、第2の共通電位供給線に異なる電位を供給できる。こうして、テスト時に、全メモリセルに論理値0または論理値1を一斉に書き込むことができる。

【0017】

【発明の実施の形態】

<第1の実施形態>

図1は、本発明の第1の実施形態を示している。図1に示すメモリセルアレイ領域10において、ワード線20が延びる行（ロー）方向Aを第1の方向、階層化されたメインビット線30及びサブビット線40が延びる列（カラム）方向Bを第2の方向と定義するが、これに限定されない。図1に示すメモリセルアレイ領域10は、少なくとも列方向Bにて複数のローブロック11A、11B、…に分割されている。

【0018】

また、各ローブロック11A、11Bに対応して、ワード線駆動部100A、100Bと、ローブロック選択回路110A、110Bとが設けられている。

【0019】

（メモリセルアレイ領域）

まず、メモリセルアレイ領域10について説明する。本実施形態では、ビット線が階層化されている。すなわち、複数のローブロック11A、11Bの各々にて、複数のメインビット線30の各々についてサブビット線40が設けられている。つまり、ローブロック11Aでは、メインビット線MBL0にはサブビット線SBL00が、メインビット線MBL1にはサブビット線SBL10が設けられている。同様に、ローブロック11Bでは、メインビット線MBL0にはサブビット線SBL01が、メインビット線MBL1にはサブビット線SBL11が設けられている。

【0020】

複数のメインビット線30の各々に従属する複数のサブビット線40と、複数のワード線20との各交点には、それぞれ強誘電体キャパシタ（メモリセル）50が設けられている。

【 0 0 2 1 】

複数のメインビット線 3 0 の各々と、複数のサブビット線 4 0 の各々の一端との間には、複数の第 1 のサブビット線選択スイッチ 6 0 が設けられている。また、各ローブロック 1 1 A, 1 1 B の間には、複数のサブビット線 4 0 に共通電位を供給する共通電位供給線 7 0 が設けられている。そして、複数のサブビット線 4 0 の各々の他端と、共通電位供給線 7 0 との間に、複数の第 2 のサブビット線選択スイッチ 8 0 が設けられている。1 本のサブビット線 4 0 の両端に接続された第 1, 第 2 のサブビット線選択スイッチ 6 0, 8 0 は、相補的に駆動され、一方がオンであれば他方はオフとされる。よって、1 本のサブビット線 4 0 は、第 1 のサブビット線選択スイッチ 6 0 がオンするとメインビット線 3 0 に接続され、第 2 のサブビット線選択スイッチ 8 0 がオンすると共通電位供給線 7 0 に接続され、フローティングとならない。

【 0 0 2 2 】

(駆動回路)

図 2 は、図 1 に示すローブロック選択回路 1 1 0 A の一構成例を示している。図 2 では、複数例えば 3 本のアドレス信号線 1 2 0 ~ 1 2 2 が設けられている。このアドレス信号線 1 2 0 ~ 1 2 2 が接続されたローブロック選択回路 1 1 0 A は、例えば一つのナンドゲートと 3 つのインバータにて形成されている。

【 0 0 2 3 】

このローブロック選択回路 1 1 0 A は、3 本のアドレス信号線 1 2 0 ~ 1 2 2 の全ての電位が H I G H (H I G H アクティブ) であれば、ローブロック 1 1 A が選択されたと判断する。ローブロック選択回路 1 1 0 A にてローブロック 1 1 A を選択する時には、信号 S T R 0 が H I G H、その反転信号 / S T R 0 が L O W、ローブロック選択信号 R B S S が H I G H となる。

【 0 0 2 4 】

このローブロック選択回路 1 1 0 A は、3 本のアドレス信号線 1 2 0 ~ 1 2 2 のいずれかの電位も L O W であれば、ローブロック 1 1 A を選択せず、各信号 S T C 0, / S T C 0, C B S S の論理は選択時と逆となる。

【 0 0 2 5 】

なお、他のローブロック選択回路 110B なども、同様の原理によって対応するローブロックを選択駆動できる。

【0026】

図3は、図1に示すワード線駆動部 100A の一構成例を示している。このワード線駆動部 100A は、ローブロック選択回路 110A からのローブロック選択信号 RBS に基づいて、選択電圧（選択ワード電圧）を供給するか否かを決定する。このために、ローブロック選択信号 RBS に基づき選択ワード電圧の供給を制御するスイッチ SW と、その反転信号に基づき非選択電圧（非選択ワード電圧）の供給を制御する第2のスイッチ SW2 とを有する。

【0027】

ワード線駆動部 100A はさらに、ローブロック 11A 内の各ワード線 20 毎に、スイッチ SW1 を介して供給される選択ワード電圧を選択する第3のスイッチ SW3 と、非選択ワード電圧を選択する第4のスイッチ SW4 とを有する（図3ではワード線 WL00 に対応する構成のみを示している）。スイッチ SW3 は、ローブロック 11A 内の 1 本目のワード線 WL00 が選択されたときにのみ HIGH となる信号によりオン駆動され、スイッチ SW4 はその反転信号により駆動される。なお、スイッチ SW1～4 は、トランジスタあるいはトランスファージェットなどで構成できる。

【0028】

（動作説明）

この強誘電体記憶装置は、強誘電体キャパシタ 50 のヒステリシス現象に現れる 2 通りの分極状態を 1 ビットとして利用した記憶装置である。

【0029】

ヒステリシス現象について、強誘電体に印加される電圧と強誘電体の分極値との相関を図4に示した。図4の縦軸 P は、強誘電体の分極値を示し、横軸 V は、強誘電体に印加される電圧を表す。図4の曲線は、強誘電体キャパシタ 50 に印加される電圧の変化に応じて、強誘電体キャパシタ 30 の分極状態が循環する特性を示す。例えば、今 B 点の状態（論理値 0 の記憶状態）または D 点の状態（論理値 1 の記憶状態）にある強誘電体キャパシタ 50 に選択電圧 V_s を印加すると

、分極状態はA点に移る（論理値0，1の読み出し）。印加される電圧が0になると、B点に移行する。つまり、元々D点にあって分極状態も、A点を経由してB点に移行する。その後、さらに強誘電体キャパシタ50に選択電圧（ $-V_s$ ）を印加すると状態はC点に移る。（論理値1の書き込み）。印加される電圧が0になると、今度は、D点に状態が移る（論理値1の記憶状態）。

【0030】

ここで、B点またはD点の分極状態にある強誘電体キャパシタ30に非選択電圧（ $\pm V_s/3$ ）を印加したとする。その後印加される電圧が0になると、状態は、元のB点またはD点に戻るのである。これは、ある強誘電体キャパシタ50の選択時に、非選択の強誘電体キャパシタ50に非選択電圧（ $\pm V_s/3$ ）が印加されても、記憶状態は維持されることを示す。

【0031】

ここで、図5は、図1のメモリセルアレイ10の選択ローブロック11A内のメモリセルよりデータを読み出す時（論理値0の書き込みも同じ）の電位設定を示している。選択メモリは、ローブロック11A内のワード線WL00とサブビット線SBL00とに接続された選択メモリセルB1（00）である。このとき、ローブロック11Aでは、各信号STR0、 $\overline{\text{STR0}}$ 、RBSSと、ワード線WL00、WL10、サブビット線SBL00、SBL10とは、下記の表1に示す電位に設定される。

【0032】

【表1】

列ブロック11Aの電位						
STR0	$\overline{\text{STR0}}$	RBSS	WL00	WL10	SBL00	SBL10
H	L	H	V_s	$V_s/3$	0	$2V_s/3$

【0033】

表1のように、選択ローブロック11Aでは、信号STR0=HIGHであるから、第1のサブビット線選択スイッチ60がオンされ、メインビット線MBL0の電位=サブビット線SBL00の電位= V_0 、メインビット線MBL1の電

位＝サブビット線SBL10の電位＝ $2V_s/3$ となる。一方、ワード線WL00には選択ワード電圧（ V_s ）が、ワード線WL10には非選択ワード電圧（ $V_s/3$ ）がそれぞれ印加される。よって、選択ローブロック11A内の選択メモリセルB1（00）には電圧 V_s が印加されて、図4のA点に移動してデータ読み出しが実施される。このとき、選択ローブロック11A内の非選択メモリB1（01），（10），（11）には非選択電圧（ $\pm V_s/3$ ）が印加される。

【0034】

一方、非選択ローブロック11Bでは、各信号STR1， $\overline{\text{STR1}}$ ，RBSSと、ワード線WL01，WL11、サブビット線SBL01，SBL11とは、下記の表2に示す電位に設定される。

【0035】

【表2】

列ブロック11Bの電位

STR1	$\overline{\text{STR1}}$	RBSS	WL01	WL11	SBL01	SBL11
L	H	L	$V_s/3$	$V_s/3$	$V_s/3$	$V_s/3$

【0036】

表2のように、非選択ローブロック11Bでは、反転信号 $\overline{\text{STR0}} = \text{HIGH}$ であるから、第2のサブビット線選択スイッチ80がオンされ、共通電位線70の電位＝サブビット線SBL01の電位＝サブビット線SBL11の電位＝ $V_s/3$ となる。一方、ワード線WL01，WL11には非選択ワード電圧（ $V_s/3$ ）が印加される。よって、非選択ローブロック11B内の全ての非選択メモリセルB2（00），（01），（10），（11）には0Vが印加される。

【0037】

このように、本実施形態では、非選択ローブロック11B内の非選択メモリセルに接続されたサブビット線40をフローティングにすることなく、非選択メモリセルの両端電位差を0Vに安定させることができる。よつて、ディスタープノイズの影響を無視でき、非選択メモリセルは、図4のB点またはD点にて記憶状態を安定して維持できる。

【0038】

図5は、図4のB点またはD点からA点に分極状態を移行させる読み出し動作（論理値0の書き込み動作も同じ）について説明するものである。ただし、非選択ブロック内の非選択メモリセルに接続されたサブビット線をフローティング状態とさせずに、印加電圧を0Vとすることは、図4のB点からC点に分極状態を移行させる論理値1の書き込み動作（論理値1の再書き込み動作も同じ）でも同様である。

【0039】**<第2の実施形態>**

図6に示すメモリセルアレイ領域200において、階層化されたメインワード線210及びサブワード線220が延びる行（カラム）方向Aを第1の方向、ビット線230が延びる列方向Bを第2の方向と定義するが、これに限定されない。図6に示すメモリセルアレイ領域200は、少なくとも行方向Aにて複数のカラムブロック201A、201B、…に分割されている。

【0040】

また、各カラムブロック201A、201Bに対応して、ビット線駆動部300A、300Bと、ブロック選択回路310A、310Bとが設けられている。

【0041】**（メモリセルアレイ）**

本実施形態では、ワード線が階層化されている。すなわち、複数のカラムブロック領域201A、201Bの各々にて、複数のメインワード線210の各々についてサブワード線220が設けられている。つまり、カラムブロック201Aでは、メインワード線MWL0にはサブワード線SWL00が、メインワード線MWL1にはサブワード線SWL10が設けられている。同様に、カラムブロック201Bでは、メインワード線MWL0にはサブワード線SWL01が、メインワード線MWL1にはサブワード線SWL11が設けられている。

【0042】

複数のメインワード線210の各々に従属する複数のサブワード線220と、複数のビット線230との各交点には、それぞれ強誘電体キャパシタ（メモリセ

ル) 50 が設けられている。

【0043】

複数のメインワード線 210 の各々と、複数のサブワード線 220 の各々の一端との間には、複数の第 1 のサブワード線選択スイッチ 240 が設けられている。また、各カラムブロック 201A, 201B の間には、複数のサブワード線 40 に共通電位を供給する共通電位供給線 250 が設けられている。そして、複数のサブワード線 220 の各々の他端と、共通電位供給線 250 との間に、複数の第 2 のサブワード線選択スイッチ 260 が設けられている。1 本のサブワード線 220 の両端に接続された第 1, 第 2 のサブワード線選択スイッチ 240, 260 は、相補的に駆動され、一方がオンであれば他方はオフとされる。よって、1 本のサブワード線 220 は、第 1 のサブワード線選択スイッチ 240 がオンするとメインワード線 210 に接続され、第 2 のサブワード線選択スイッチ 260 がオンすると共通電位供給線 250 に接続され、フローティングとならない。

【0044】

(駆動回路)

図 6 に示すブロック選択回路 310A は、図 2 に示すものと同じ回路構成を用いることができる。図 6 に示すビット線駆動部 300A は、図 3 に示す回路構成を用いることができ、選択電圧として選択ビット電圧を、非選択電圧として非選択ビット電圧を用いればよい。

【0045】

(動作説明)

図 7 は、図 6 のメモリセルアレイ 200 の選択カラムブロック 201A 内のメモリセルよりデータを読み出す時（論理値 0 の書き込みも同じ）の電位設定を示している。選択メモリは、カラムブロック 201A 内のサブワード線 SWL00 とビット線 BL00 とに接続された選択メモリセル B1 (00) である。このとき、選択カラムブロック 201A では、各信号 STC0, /STC0, CBSS と、サブワード線 SWL00, SWL10、ビット線 BL00, BL10 とは、下記の表 3 に示す電位に設定される。

【0046】

【表 3】

STC0	$\overline{\text{STC0}}$	CBSS	SWL00	SWL10	BL00	BL10
H	L	H	V_s	$V_s/3$	0	$2V_s/3$

【0047】

一方、非選択カラムブロック 201B では、各信号 STC1, $\overline{\text{STC1}}$, CBSS と、サブワード線 SWL01, SWL11、ビット線 BL01, BL11 とは、下記の表 4 に示す電位に設定される。

【0048】

【表 4】

STC1	$\overline{\text{STC1}}$	CBSS	SWL01	SWL11	BL01	BL11
L	H	L	$V_s/3$	$V_s/3$	$V_s/3$	$V_s/3$

【0049】

図 7 の電位設定は実質的に図 5 の電位設定と同じとなる。よって、本実施形態では、非選択カラムブロック 201B 内の非選択メモリセルに接続されたサブワード線 220 をフローティングにすることなく、非選択メモリセルの両端電位差を 0V に安定させることができる。よつて、ディスタ urb ノイズの影響を無視でき、非選択メモリセルは、図 4 の B 点または D 点にて記憶状態を安定して維持できる。

【0050】

<第 3 の実施形態>

図 8 は、図 1 に示す第 1 の実施形態と図 6 に示す第 2 の実施形態とを組み合わせた構成を示している。図 8 において、図 1 及び図 6 と同一機能を有する部材について同一符号を付している。

【0051】

図 8 に示すメモリセルアレイ領域 400 は、メインビット線 30 を階層化したサブビット線 40 毎にローブロック 411 が形成され、メインワード線 210 を階層化したサブワード線 220 毎にカラムブロック 412 が形成されている。

【 0 0 5 2 】

第 1，第 2 の実施形態から明らかなように、これらを組み合わせた第 3 の実施形態においても、非選択ブロック内の非選択メモリセルに接続されたサブビット線 4 0 及びサブワード線 2 2 0 をフローティングにすることがなく、第 1，第 2 の共通電位供給線 7 0，2 5 0 を介して、共に共通電位 ($V_s / 3$) に設定できる。よって、非選択ブロック内の非選択メモリセルの両端電位差を 0 V に安定させることができる。このため、ディスタブノイズの影響を無視でき、非選択メモリセルは、図 4 の B 点または D 点にて記憶状態を安定して維持できる。

【 0 0 5 3 】**<変形例>**

第 1 ～ 第 2 の実施形態においては、いずれかのブロックを選択する動作時の電位について説明した。いずれのブロック領域も選択されない時をスタンバイ時と称する。

【 0 0 5 4 】

スタンバイ時には、全てのローブロックにおいて第 2 のサブビット線選択スイッチ 8 0 がオンし、全てのサブビット線が共通電位供給線 7 0 に接続される。同じくスタンバイ時には、全てのカラムブロックにおいて第 2 のサブワード線選択スイッチ 2 6 0 がオンし、全てのサブワード線が共通電位供給線 2 5 0 に接続される。

【 0 0 5 5 】

このスタンバイ時には、メインワード線（ワード線）2 1 0（2 0）と、メインビット線（ビット線）3 0（2 3 0）と、共通電位供給線 7 0，2 5 0 とをフローティングではなく、同一電位に設定すると良い。これにより、スタンバイ時に全メモリセルの両端電位差を 0 V とすることができ、メモリセルの記憶状態を安定して維持することができる。

【 0 0 5 6 】

上記各線の同一電位は電源投入時に設定することができる。電源投入後はスタンバイとなるので、速やかに上述した効果を奏することができる。

【 0 0 5 7 】

また、この同一電位は動作時の共通電位供給線 70, 250 の電位と同一の電位（本実施形態では $V_s/3$ ）にすることができる。この場合、スタンバイ時から動作時に移行する際に、非選択のワード線（非選択のメインワード線、非選択のサブワード線）及び共通電位供給線を充放電する必要がなくなり、高速化と消費電流削減の効果を得ることができる。

【0058】

さらに、第3の実施形態について言えば、第1, 第2の共通電位供給線を、異なるテスト端子に接続しておくが良い。テスト時に、第1, 第2の共通電位供給線に異なる電位を印加することで、全メモリセルを論理値0または論理値1に一斉に書き込むことができる。

【0059】

また、第1～第3の実施形態において、電源投入直後の電位変化の過渡期においては、第1, 第2のサブビット線選択スイッチの双方と、第1, 第2のサブワード線選択スイッチの双方とを、共にオフさせることができる。不測にも過度の電圧がメモリセルに印加されることを防止するためである。また、あるブロック内のメモリセルに不良が生じて、そのブロックを使用せずに冗長ブロックで代用することがある。この場合、不使用のブロック内の第1, 第2のサブビット線選択スイッチの双方と、第1, 第2のサブワード線選択スイッチの双方とを、共にオフさせておけばよい。

【図面の簡単な説明】

【図1】 本発明の第1の実施形態に係る強誘電体記憶装置の概略説明図である。

【図2】 ローブロック及びカラムブロック選択回路の一例を示す回路図である。

【図3】 ワード線駆動部及びビット線駆動部の一例を示す回路図である。

【図4】 強誘電体のヒステリシス現象を示す図である。

【図5】 図1に示す強誘電体記憶装置のリード動作時の電圧印加状態を示す図である。

【図6】 本発明の第2の実施形態に係る強誘電体記憶装置の概略説明図で

ある。

【図 7】 図 6 に示す強誘電体記憶装置のリード動作時の電圧印加状態を示す図である。

【図 8】 本発明の第 3 の実施形態に係る強誘電体記憶装置の概略説明図である。

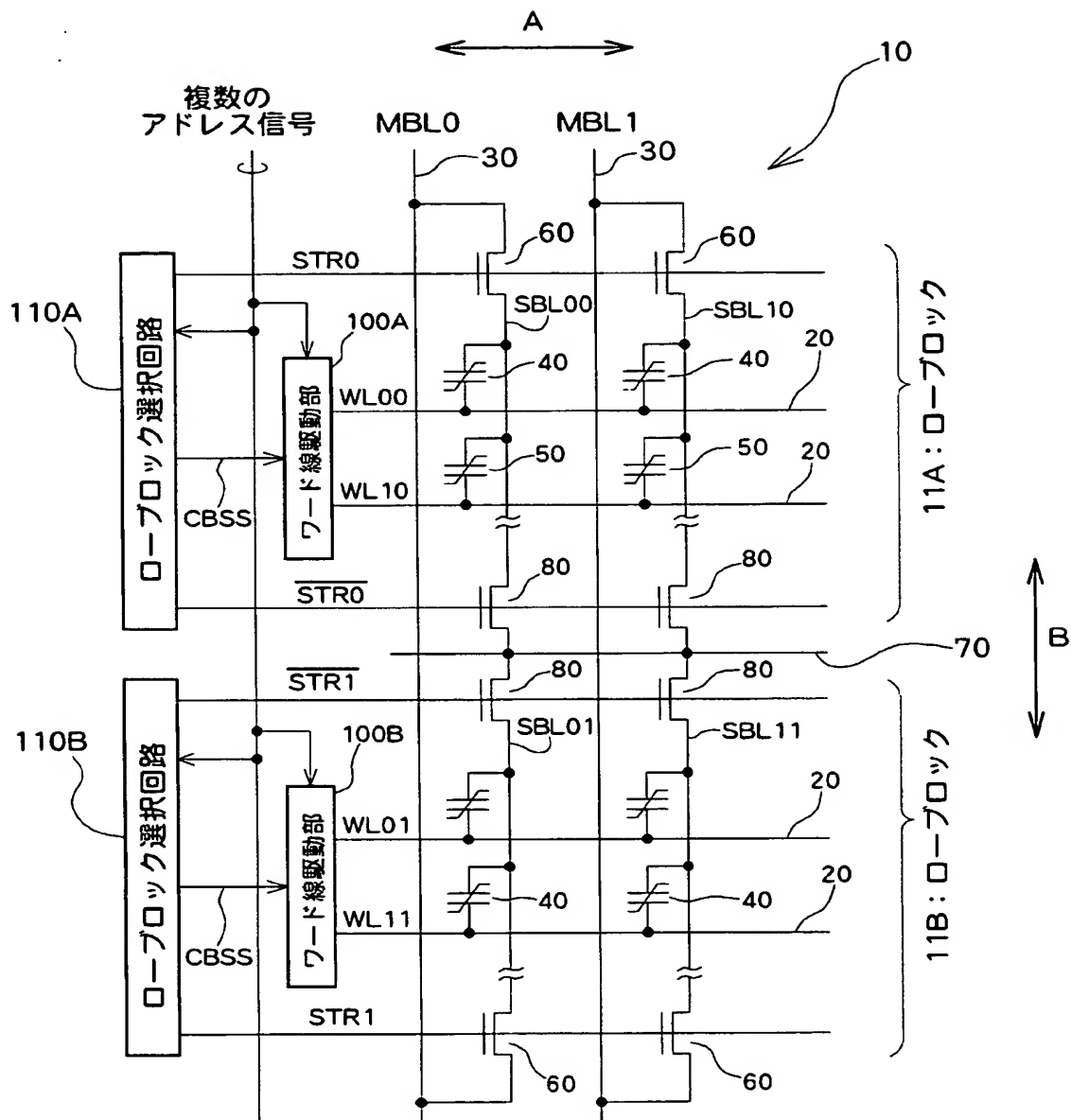
【符号の説明】

1 0 メモリセルアレイ領域、 2 0 ワード線、 3 0 メインビット線、
4 0 サブビット線、 5 0 強誘電体キャパシタ（メモリセル）、
6 0 第 1 のサブビット線選択スイッチ、 7 0 共通電位供給線、
8 0 第 2 のサブビット線選択スイッチ、
1 0 0 A, 1 0 0 B ワード線駆動部、
1 1 0 A, 1 1 0 B ローブロック選択回路、
2 0 0 メモリセルアレイ領域、 2 1 0 メインワード線、
2 2 0 サブワード線、 2 3 0 ビット線、
2 4 0 第 1 のサブワード線選択スイッチ、 2 5 0 共通電位供給線、
2 6 0 第 2 のサブワード線選択スイッチ、
3 0 0 A, 3 0 0 B ビット線駆動部、
3 1 0 A, 3 1 0 B カラムブロック選択回路、 4 0 0 メモリセルアレイ領域

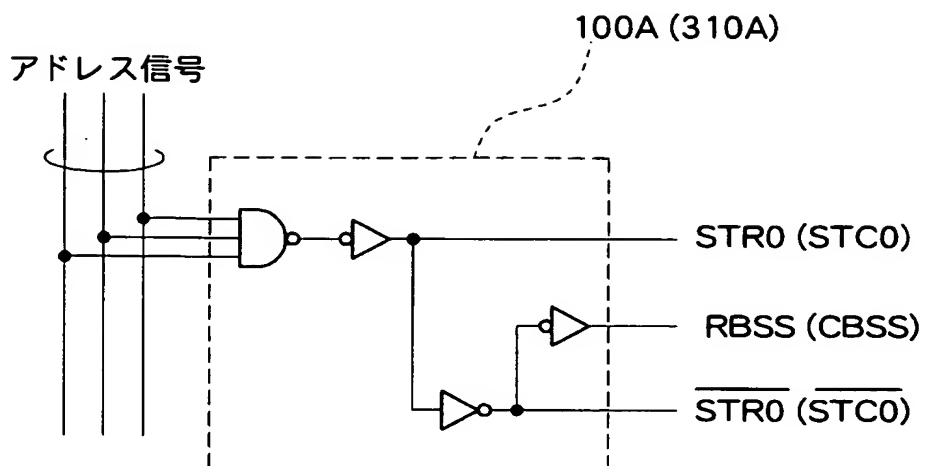
【書類名】

図面

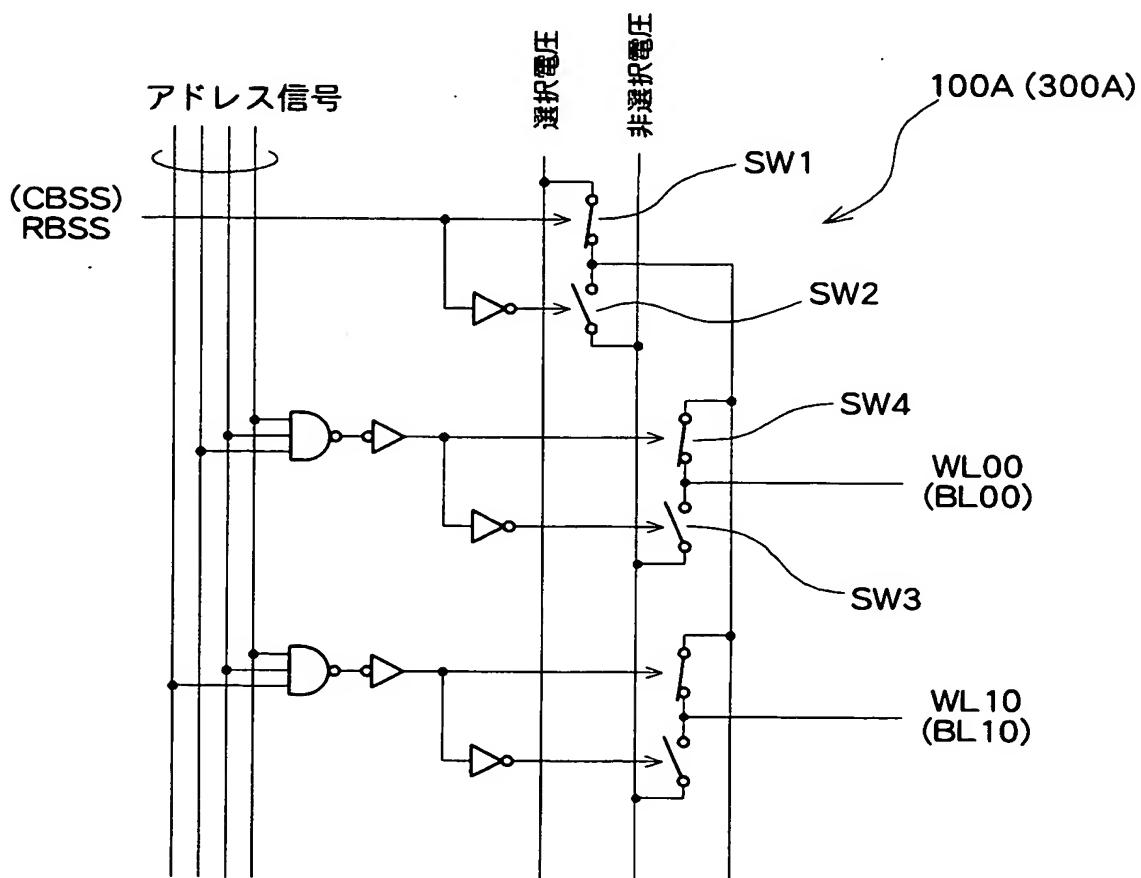
【図 1】



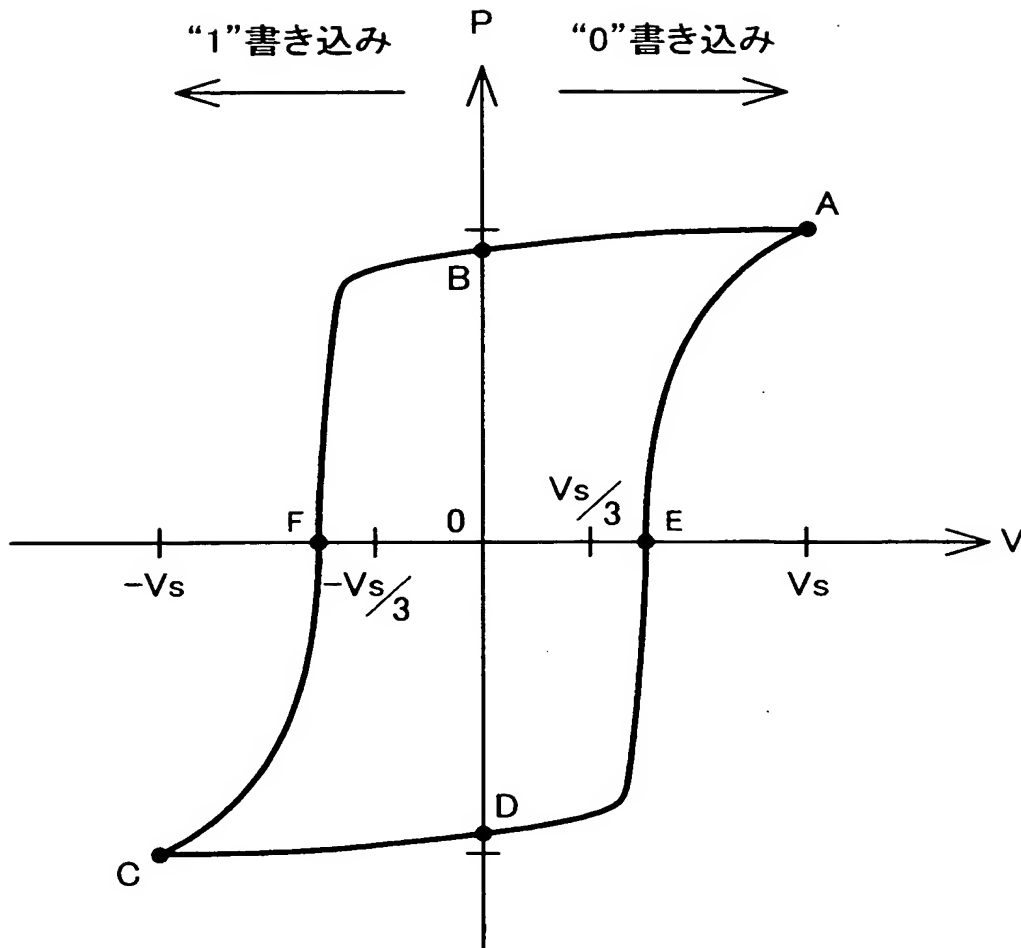
【図 2】



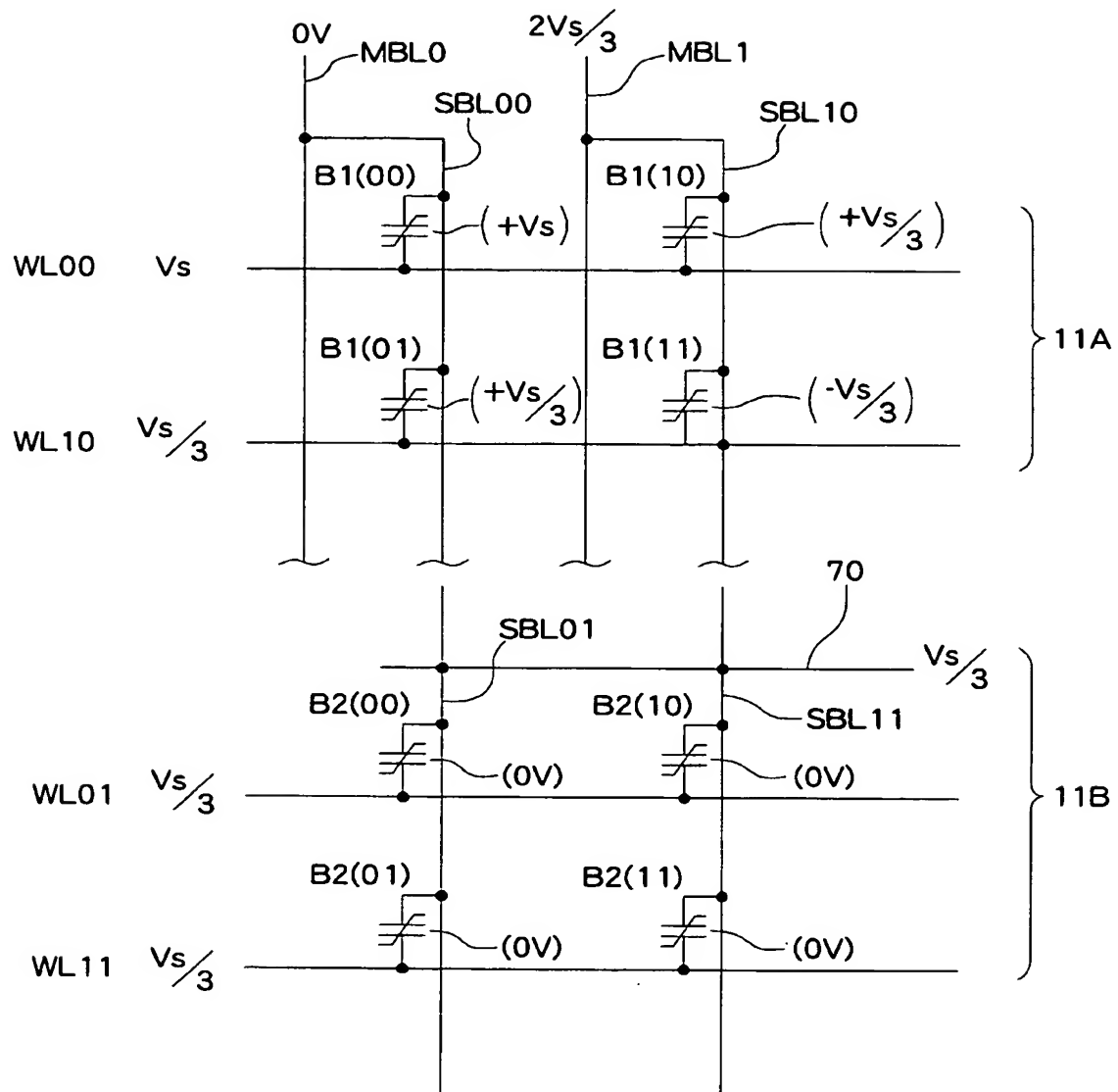
【図 3】



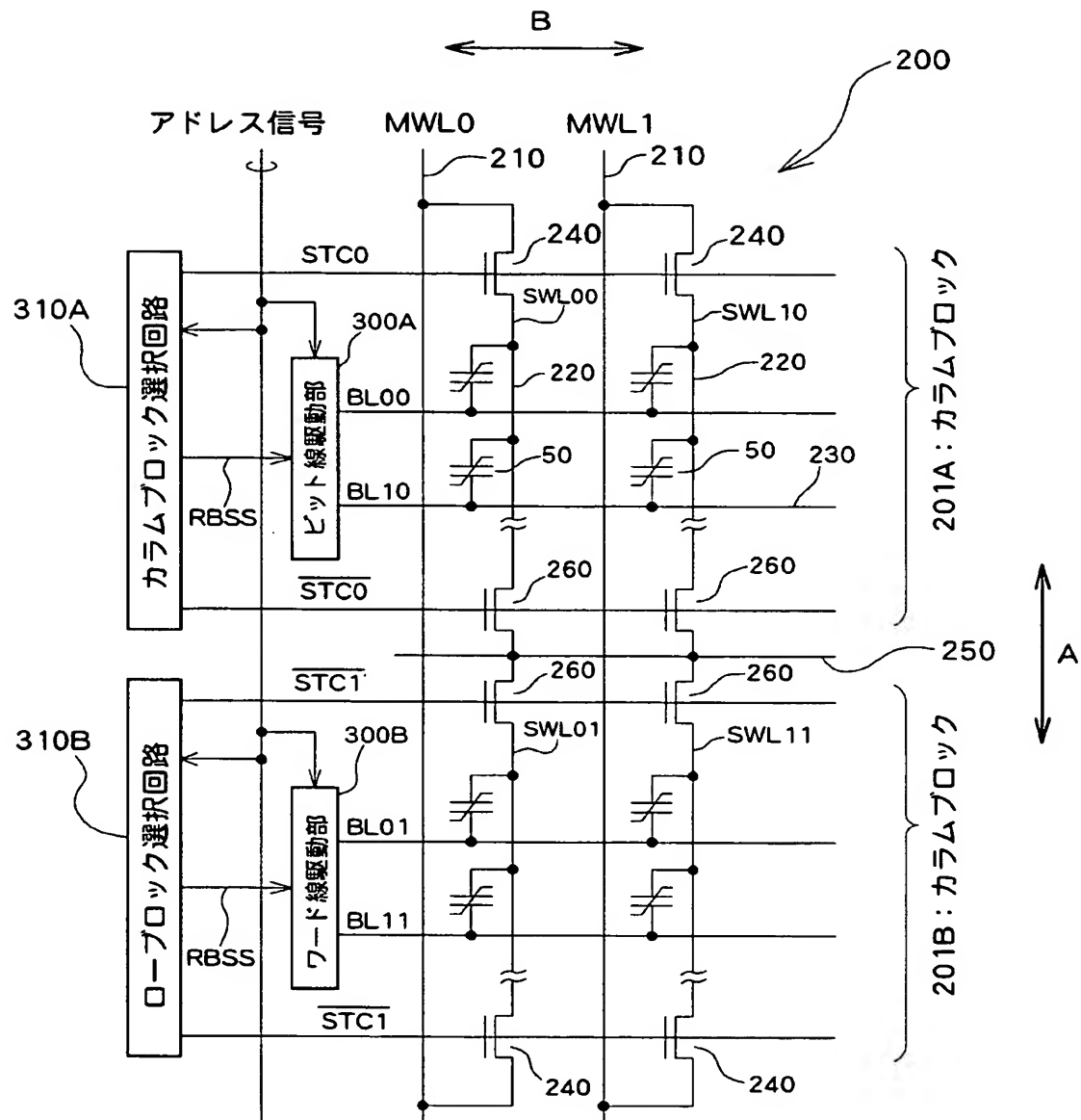
【図 4】



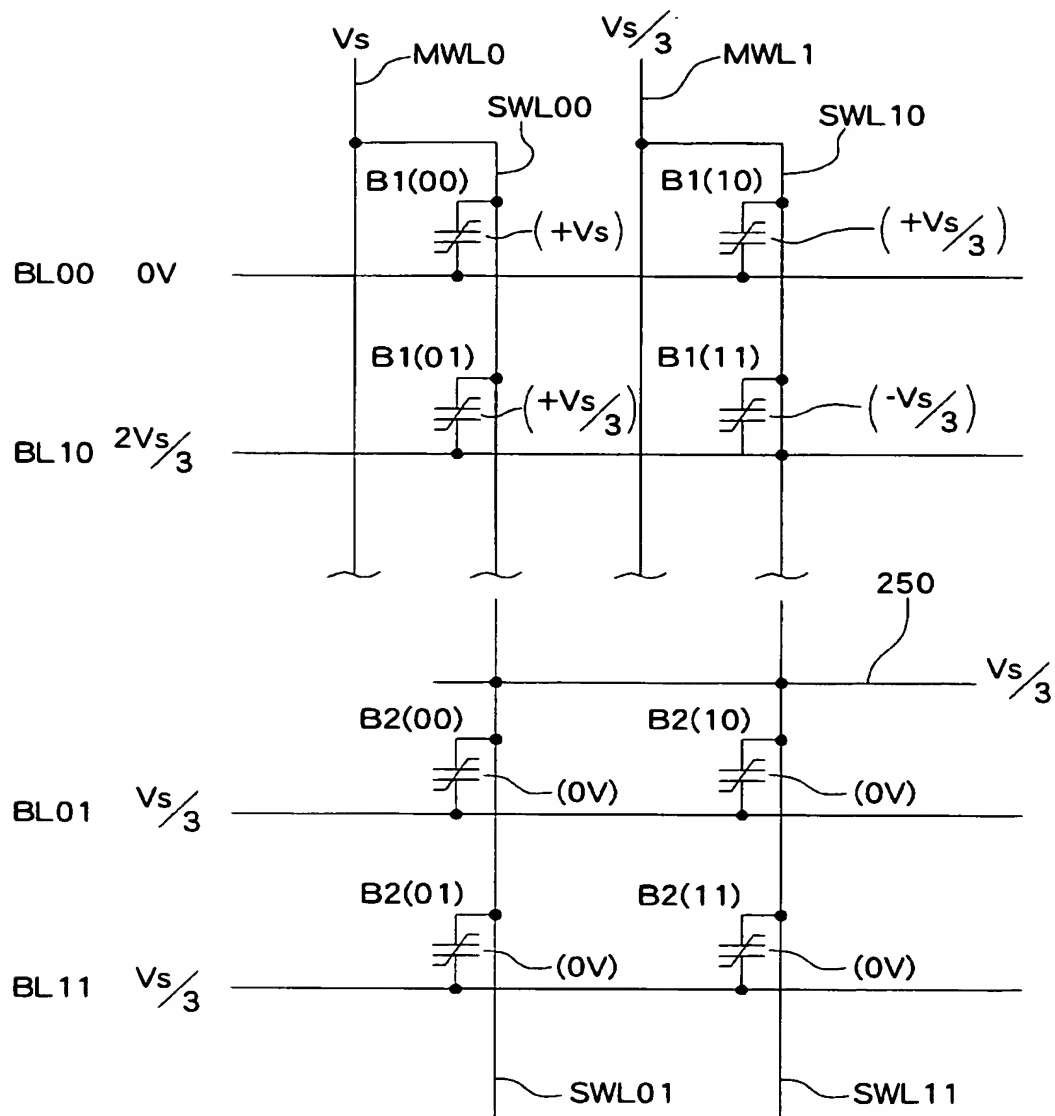
【図 5】



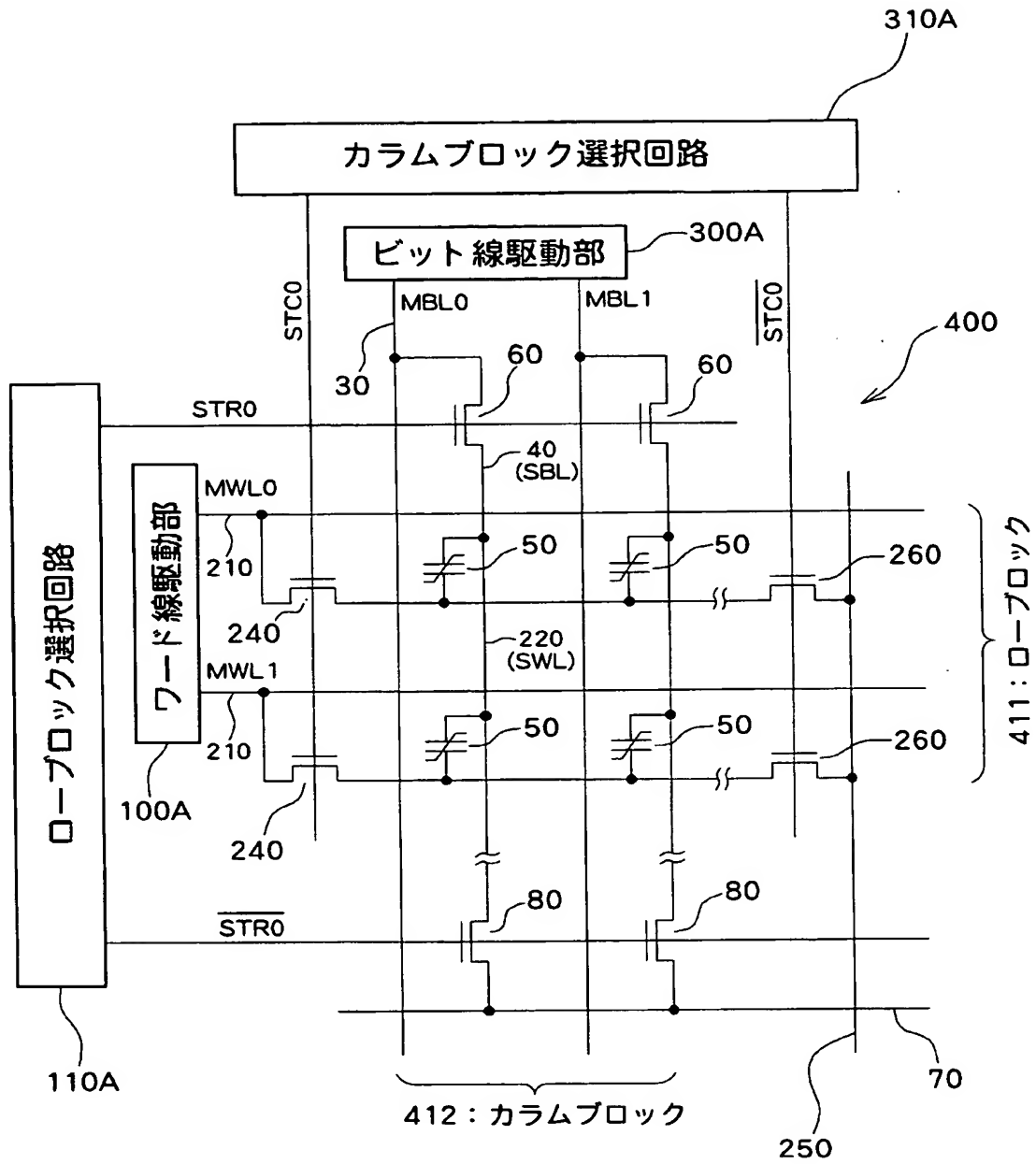
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 ディスタープノイズの影響を低減した強誘電体記憶装置を提供すること。

【解決手段】 メモリセルアレイ領域 10 は、メインビット線 30 を階層化したサブビット線 40 毎にローブロック 11A, 11B に分割されている。各サブビット線 40 の一端は、第 1 のサブビット線選択スイッチ 60 を介してメインビット線 30 に接続される。各サブビット線 40 の他端は、第 1 のサブビット線選択スイッチ 60 とは相補的にオン駆動される第 2 のサブビット線選択スイッチ 80 を介して共通電位供給線 70 に接続される。

【選択図】 図 1

特願 2 0 0 3 - 0 1 0 1 5 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1 . 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社